

# Kontrolna logika za praćenje i prikaz rezultata teniskog meča

Sandra Ilijin, Predrag Petković

Најбољи рад младог истраживача на секцији EL

**Apstrakt**— U ovom radu predloženo je jedno rešenje kontrolne logike za automatsko praćenje i prikaz rezultata teniskog meča. Cilj je da se maksimalno pojednostavi proces evidentiranja poena time što će sudija tasterima ili kontrolnom palicom da registruje takmičara koji je dobio poen, a ostalu obradu podataka preuzima predloženi sistem. Opisan je postupak projektovanja primenom ASIC i SASIC tehnologije. ASIC varijanta projektovana je korišćenjem ADK alata, koji nudi Mentor Graphics, u CMOS tehnologiji AMI05 proizvođača Alcatel Microelectronics. Za projektovanje u SASIC tehnologiji korišćen je Quartus II softver. Na kraju sintetizovano je kolo na FPGA čipu EP2C35F672C6 iz proizvodnog programa Altera.

**Ključne reči**— ASIC – integrisana kola specifične namene; SASIC – standardna integrisana kola specifične namene; teniski semafor;

## I. UVOD

Nesumnjivo je da tenis predstavlja veoma rasprostranjen i popularan sport u svetu. Teško je pronaći zemlju i grad u kome se tenis ne igra, ako ne profesionalno, ono bar iz zabave. Teniski tereni odavno su ušli u standardnu turističku ponudu, a postali su i sastavni delovi sportskih centara čak i u manjim mestima. Da bi se igračima, a i publici omogućilo praćenje trenutnog stanja meča neophodno je obezbediti odgovarajuće monitore – sportske semafore (*score board*). Na teniskim terenima mogu se videti različiti tipovi ovih semafora, od onih papirnih gde sudija stalno mora da okreće list kako bi promenio trenutni rezultat, do digitalnih sistema u kojima je moguće samo jednim klikom na određeni taster promeniti rezultat. Trenutno su u upotrebi uglavnom digitalni sistemi, koji se razlikuju, uglavnom, samo po veličini, dok su im osnovne funkcije prilagođene striktnim pravilima. Zanimljivo rešenje predstavlja skor traka koju igrači nose oko zgloba kao ručni sat [<http://www.scoreband.net/>]. Nezavisno od veličine displeja, osnovna funkcija im je ista i zahteva kontroler kojim upravlja sudija. Njime se kontroliše stanje poena, gemova i setova oba igrača, a takođe mora da obezbedi vraćanje semafora na početnu vrednost.

U ovom radu prikazana je implementacija integrisanog semafora za tenis koji sadrži drugačiji kontroler u cilju smanjenja broja kontrola za upravljanje ovim semaforom. Cilj ovakve implementacije jeste da umesto grupe od šest tastera za upravljanje vrednostima poena, gemova i setova, postoje samo dva. Njima će se dodeljivati poeni igračima, a automatski će se ažurirati vrednost gemova i setova. Ovakvim

Sandra Ilijin – Elektronski fakultet, Univerzitet u Nišu, Aleksandra Medvedeva 14, 18000 Niš, Srbija (e-mail: sandrailijin@gmail.com).

Predrag M. Petković – Elektronski fakultet, Univerzitet u Nišu, Aleksandra Medvedeva 14, 18000 Niš, Srbija (e-mail: predrag.petkovic@elfak.ni.ac.rs)

pristupom značajno se pomaže sudiji, i smanjuje rizik da se napravi greška u prikazivanju rezultata pritiskom pogrešnog tastera. Implementacija integrisanog semafora izvršena je pomoću ASIC i SASIC tehnologija, dok je za opis pojedinačnih blokova korišćen VHDL jezik za opis hardvera.

ASIC kola se proizvode za specifičnu namenu za određenog korisnika. Najčešće krajnji korisnik projektuje kolo i šalje podatke neophodne za izradu proizvođaču koji ga isporučuje korisniku. Karakteristika ovog stila projektovanja jeste da samo krajnji korisnik, odnosno projektant, zna njegovu funkciju i namenu. Time se u najvećoj meri štiti pravo na intelektualnu svojinu. ASIC kola mogu biti potpuno projektovana ili delimično projektovana po narudžbini u zavisnosti da li se projektuje do tranzistorskog nivoa ili se koriste pretprojektovane strukture. U radu je prikazano projektovanje sistema za tenis korišćenjem standardnih ćelija kao pretprojektovanih struktura. Standardne ćelije predstavljaju module koji su definisani na nivou kombinacionih i sekvencijalnih logičkih kola.

SASIC - standardna integrisana kola specifične namene nastala su kombinacijom standardnih i ASIC kola. SASIC kola se sastoje od mreže nepovezanih logičkih struktura i programabilnih veza u istom čipu. Te logičke strukture mogu biti različitog stepena složenosti, koji se kreće od nivoa tranzistora do nivoa osnovnih kombinacionih i sekvencionalnih blokova. Ovakvim pristupom dobijaju se čipovi koji su standardni sa stanovišta proizvođača (mogu se kupiti u radnji), ali koji u sebi nemaju ugrađenu funkciju, već se ona dobija tek nakon što krajnji korisnik isprogramira ovaj čip. U kategoriju SASIC kola spadaju integrisana kola programirljiva poljem (Field Programmable Gate Array FPGA). Njih karakteriše osobina da im se funkcionalnost može menjati i nakon proizvodnje za razliku od ASIC kola.

## II. TOK PROJEKTOVANJA

Tok projektovanja integrisanih kola obuhvata korake prikazane na Sl. 1[1].

Projekat se opisuje na funkcionalnom ili strukturnom nivou primenom jezika za opis hardvera (HDL – Hardware Description Language). Danas su veoma popularni VHDL i Verilog jezici.

Pre-lejaut simulacija služi za proveru projektnih zahteva na tri nivoa. Najpre, moguća je verifikacija ideje na funkcionalnom nivou. Ova provera podrazumeva verifikaciju zahteva pre sinteze. Ukoliko su zahtevi ispunjeni, prelazi se na sledeći korak u projektovanju, ukoliko nisu projekat se modifikuje i ponovo verifikuje [1].

Logička sinteza predstavlja aktivnost pri kojoj se VHDL kôd prevodi sa funkcionalnog u strukturni opis [1]. U prvom koraku alat za sintezu prepoznaje karakteristične delove kôda

i dodeljuje im odgovarajuće generičke logičke module, kao što su NOR kolo sa  $m$  ulaza,  $m > 2$ . Na ovom nivou apstrakcije obavljena je dekompozicija funkcije kola na osnovne logičke celine, ali kašnjenja pojedinih blokova nisu poznata. Dobijena generička struktura verifikuje se simulacijom, a onda se, u drugom koraku, generički moduli zamenjuju raspoloživim logičkim blokovima (ćelijama) u željenoj tehnologiji. Na primer ukoliko u raspoloživoj biblioteci ćelija ne postoje NOR kola sa više od dva ulaza, tada se kolo sa  $m$  ulaza razlaže na potreban broj dvoulaznih kola [4]. Kao rezultat sinteze dobija se tzv. netlista, odnosno lista veza između elementarnih logičkih ćelija dostupnih u određenoj tehnologiji. Na ovom nivou apstrakcije poznata su kašnjenja svake logičke ćelije. U procesu sinteze obavlja se i optimizacija, kako sa stanovišta površine, tako i sa stanovišta kašnjenja. Za sintezu ASIC kola korišćen je alat Leonardo Spectrum [5] i CMOS tehnologija AMI05 proizvođača Alcatel Microelectronics, dok je za sintezu SASIC kola korišćen alat Quartus II i FPGA čip EP2C35F672C6.

Po verifikovanju logičke šeme, odnosno netliste, prelazi se na fizički nivo projektovanja. Prvi korak u ovoj fazi predstavlja planiranje rasporeda (*floor planning*).

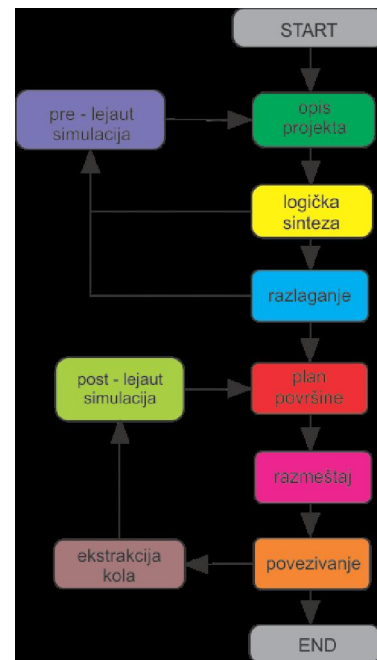
Planiranje rasporeda je veoma važan korak u projektovanju, jer od njega zavise konačne dimenzije čipa i kašnjenja u kolu [1]. Kod ASIC tehnologija projektovanja potrebno je napraviti okvirni plan o broju nizova u kojima će biti smeštene standardne ćelije. Kod SASIC tehnologija se tek u ovom koraku koristi informacija o čipu, tako da korisnik može da izabere deo čipa u kome će rasporediti elemente dobijene procesom sinteze i razlaganja na logičke blokove FPGA čipa.

Razmeštaj pojedinih modula u okviru okvirnog plana obavlja se sa ciljem da se minimizuju dužine svih veza jednog niza ili bloka ćelija.

Povezivanje se obavlja trasiranjem veza između ćelija. Nakon ove aktivnosti dobijaju se precizne informacije o dužini i kašnjenju na vezama [1]. Kod ASIC, trasiranje predstavlja fizičko povezivanje komponenti kroz više slojeva metalizacije, dok se kod SASIC kola pojedine veze dodeljuju internim magistralama FPGA čipa, takođe sa ciljem da se ostvare što manja kašnjenja.

Po završenom trasiranju, poznat je kompletan leajut kola. Time su definisane dužine svih veza kao i parametri odgovorni za parazitne efekte. Pre konačne realizacije kola, neophodno je proveriti da li i kako ovi efekti utiču na osnovnu funkciju kola. U tu svrhu koristi se post-leajut verifikacija. Da bi ona bila što realnija neophodno je iz leajuta ekstrahovati sve relevantne parametara iz kola. Tu spadaju podaci o parazitnim kapacitivnostima ali i o međusobnom uticaju pojedinih veza (preslušavanje). Rezultat ekstrakcije parametara kola iz leajuta je net lista koja omogućava post-leajut simulaciju kola.

Post leajut simulacija predstavlja testiranje ispravnosti kompletnog kola [1]. Pri ovoj aktivnosti uključena su sva kašnjenja duž veza. Ukoliko rezultati odgovaraju zahtevima projekta, onda je projektovanje ovde završeno i projekat je spreman za izradu prototipa ili programiranje. Ukoliko to nije slučaj, potrebno je korigovati projekat. Najčešće korekcije vezane su za dodavanje bafera i/ili rešavanje problema antena koji je karakterističan za duge veze u CMOS kolima.



Sl. 1. Algoritam toka projektovanja

### III. OPIS SISTEMA

Ovo poglavlje posvećeno je opisu kompletnog sistema, počev od specifikacije projektnih zahteva pa do opisa uloge pojedinih funkcionalnih blokova u njemu.

Očekuje se da integrisano kolo omogući prikaz vrednosti poena, gemova i setova oba igrača uz opciju resetovanja celog sistema. Korisnik, odnosno sudija, bira između dva tastera kada želi da promeni rezultat nekom od igrača. U jednom trenutku može dodeliti poen samo jednom igraču. Vrednosti poena koje prikazuje displej za svakog igrača mogu biti 00, 15, 30, 40 i A (za prednost jednog od igrača). Igrač osvaja gem kada:

- ostvari četiri poena, a drugi igrač ima manje od 4;
- ostvari poen posle A;
- ostvari najmanje dva poena razlike u *Tie Break* (TB) fazi igre i najmanje sedam poena.

Igraču koji osvoji gem, automatski se vrednost gema poveća za jedan, a vrednosti brojača poena oba igrača se resetuju. Vrednosti u gemovima mogu biti 0-6 i sedmica u slučaju da se uđe u TB fazu. Tada je predviđeno da vrednosti poena mogu da se nađu u opsegu od 0-15. Promena vrednosti u setovima menja se automatski kada jedan od igrača osvoji šesti gem u regularnoj, odnosno sedmi u TB fazi igre. Tada se bojač setova poveća za jedan, dok se vrednosti gemova i poena resetuju na nulu radi početka novog gema i novog seta. Igra se završava kada jedan od igrača osvoji dva seta, nakon čega se blokira sistem i novi meč se započinje resetovanjem celog sistema.

Na Sl. 2 prikazana je blok šema integrisanog kola semafora. Osnovu sistema čine tasteri, brojači za poene, gemove, setove, poene u TB i 7-segmentni displeji na kojima će rezultati biti prikazivani. Blok **Taster Igrač** na izlazu generiše jedan impuls koji odgovara pritisku tastera. U zavisnosti od dela igre taj impuls se šalje na ulaz bloka **Brojač poena** u regularnom delu, ili na **Brojač poena\_TB** u TB fazi. Izbor zavisi od signala „Out 6\_6“ koji ukazuje da li je vrednost u

gemovima jednaka šestici. Ukoliko jeste, onda se broje poeni u TB, ukoliko nije, broje se poeni u regularnom delu. Nezavisno od toga, poeni se prikazuju na displeju za poene. Signal iz brojača poena prosleđuje se bloku **Brojač gema**, i preko multiplexera MUX 2u1, bloku **Displej poena**. Izlaz iz **Brojač gema** prosleđuje se blokovima **Brojač seta** i **Displej gema**. Izlaz iz bloka **Brojač seta** prosleđuje se bloku **Displej seta**. **Displej poena** ima dve a **Displej gema** i **Displej seta** po jednu 7-segmentnu cifru.

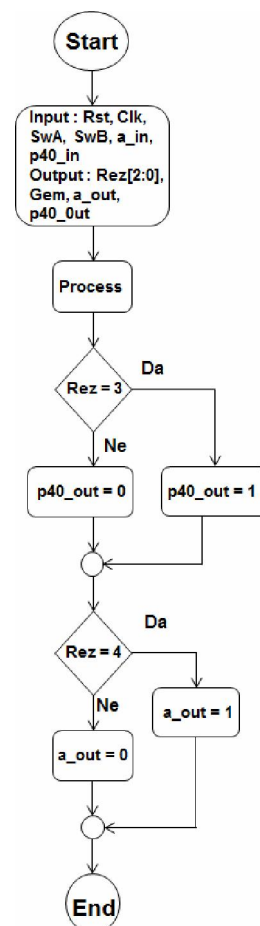
#### IV. PROJEKTOVANJE POJEDINIH MODULA

Svaki blok sistema opisan je VHDL jezikom za opis hardvera na funkcionalnom nivou. Na Sl. 3. i 4. prikazan je algoritam bloka **Brojača poena**. Realizovan je kao trobitni brojač koji broji od 0 do 4. Ulaz u ovaj brojača čine signali koji dolaze iz tastera *swA*, odnosno *swB*, zatim, signal za reset (*rst*), signal za klok (*clk*), signal koji pokazuje da li postoji prednost drugog igrača (*a\_in*), i signal koji pokazuje da li drugi igrač ima vrednost 40 u poenima (*p40\_in*).

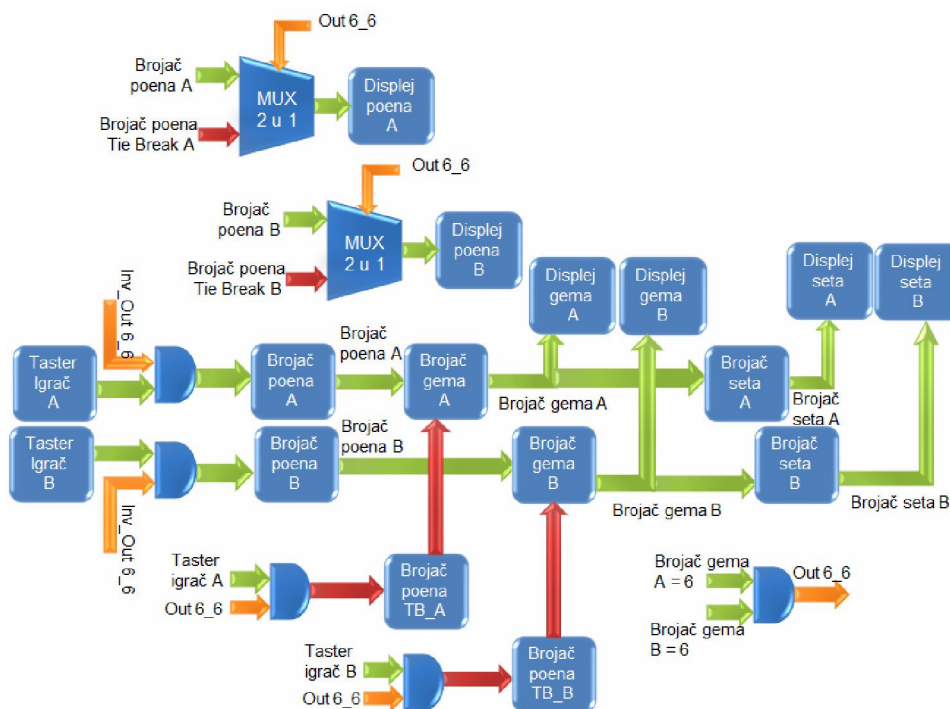
Funkcija bloka **Brojača poena** opisana je pomoću dva algoritma prikazanim na Sl. 3. i Sl. 4.

Kompletan projekat urađen je u sinhronoj logici sa taktним signalom označenim sa *Clk*, iako je mogao da se prikaže i potpuno asinhrono.

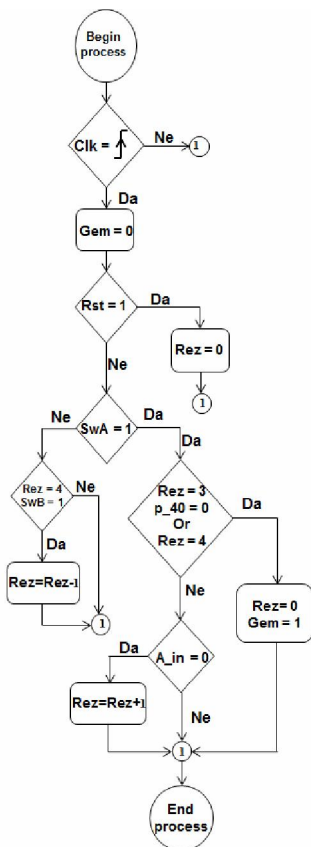
Proces (Sl. 4) počinje pritiskom na jedan od tastera kojima se dodeljuju poeni igračima, i sinhrono sa prednjom ivicom signala takta. Pri prednjoj ivici takta ispituje se da li je aktivan signal reseta (pritisnut reset taster). Ako jeste, rezultat se postavlja na nulu ( $Rez=0$ ), u suprotnom, ispituje se da li pritisnut taster za dodelu poena igraču A. Pritisak na taster A inicira ispitivanje vrednosti trenutnog rezultata: da li je trenutni rezultat  $Rez=3$  (kôdirano 40) i signal  $a\_in=0$  ili je  $Rez=4$ . Signal  $p40\_in=1$  govori da igrač B ima 40 poena. Ukoliko je tako, gem se dodeljuje igraču A i resetuju se vrednosti poena na nulu.



Sl. 3. Algoritam bloka **Brojač poena**



Sl. 2. Blok šema integrisanog kola



Sl. 4. Proces u bloku Brojač poena

Ukoliko je  $a_{in} = 0$ , igraču A se povećava rezultat za jedan. U slučaju da nije pritisnut taster A, ispituje se da li je vrednost poena igrača A jednaka „A“ (Advantage - prednost) i da li je pritisnut taster za dodelu poena igraču B. Ukoliko jeste, igraču se vrednost poena smanjuje sa „A“ na 40. Nakon izlaska iz procesa, u zavisnosti od vrednosti rezultata, dodeljuju se vrednosti signalima:

- $p_{40\_out} = 1$  kada  $Rez = 3$ , odnosno ima 40 poena. , u suprotnom  $p_{40\_out} = 0$ ) i
- $a_{out} = 1$  kada je vrednost  $Rez = 4$ , odnosno ima prednost -A, u suprotnom  $a_{out} = 0$ ).

U Tabeli I prikazan je sistem kôdiranja vrednosti poena.

TABELA I

$(Rez)_{10}$	$(Rez)_2$	Kôdirana vrednost poena
0	000	00
1	001	15
2	010	30
3	011	40
4	100	A

#### A. Verifikacija sistema

Nakon funkcionalnog opisa u VHDL jeziku pristupilo se funkcionalnoj verifikaciji simulacijom. Sa tim ciljem opisano je testno kola (*test bench*) koje je pobuđeno ulaznim signalima koji pokrivaju sve moguće ključne situacije u radu kola [2]. To su situacije kada se menja vrednost poena, gema i seta. Na Sl. 5. prikazani su talasni oblici napona dobijeni simulacijom. Mogu se uočiti trenuci kada postoji promena vrednosti poena i gema u prvom uvećanom detalju slike, kao i promena vrednosti seta kada je dostignuta vrednost šest u gemovima, što pokazuje drugi uvećani detalj slike.

#### B. ASIC realizacija

Po uspešno završenoj verifikaciji sistema na funkcionalnom nivou, prelazi se na sintezu kao naredni korak u procesu projektovanja. U cilju sinteze ASIC kola korišćen je alat Leonardo Spectrum proizvođača Mentor Graphics [7]. Podešavanje tehnoloških parametara bitnih za sintezu izvršeno je korišćenjem skript kôda. Podešeni su napon napajanja od 3.3V i temperatura od 27° C. Takođe, definisana su određena ograničenja u kolu koja se odnose na vremena kašnjenja između dva registra, kašnjenje od ulaza do izlaza, od ulaza do registra, od registra do izlaza, taktna frekvencija i dr. Izabrane vrednosti sistematizovane su u Tabeli II.

TABELA II

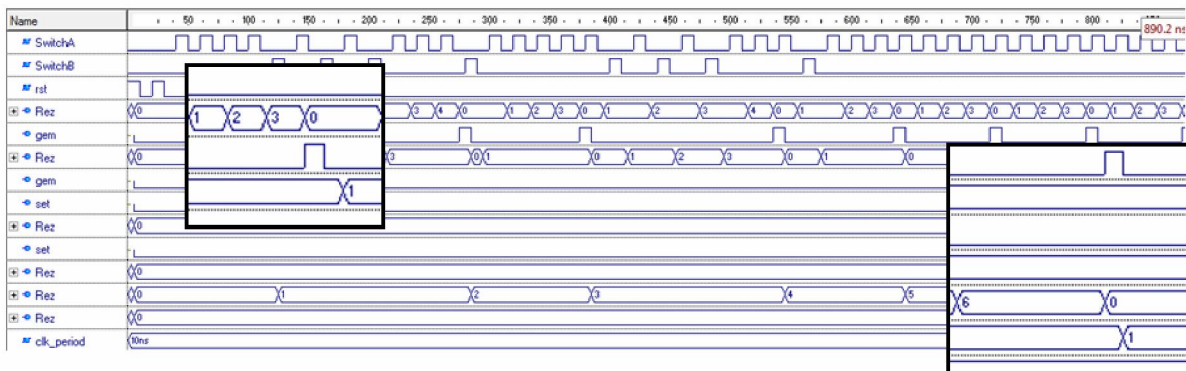
Registar - registar	20ns
Ulaz - registar	10ns
Registar - izlaz	10ns
Ulaz - izlaz	10ns
Takt	20ns -> 50MHz

Takođe, pre početka sinteze definisani su kriterijumi za optimizaciju. Izabrana je optimizacija po površini i po kritičnim putanjama u kolu. Kao rezultat sinteze dobija se Verilog kôd sa opisom sistema na nivou standardnih ćelija. Ovaj Verilog kôd se zatim koristi za ponovnu verifikaciju, ali sa poznatim kašnjenjima upotrebljenih standardnih ćelija u kolu. Rezultati sinteze su prikazani u Tabeli III. Verifikacija nakon sinteze je izvršena pomoću alata za verifikaciju ModelSim [3], dok su rezultati verifikacije prikazani na Sl. 6. Na sličan način urađena je sinteza i verifikacija rada svih ostalih logičkih blokova i celog kola. Zatim se prelazi na fizičko projektovanje čipa.

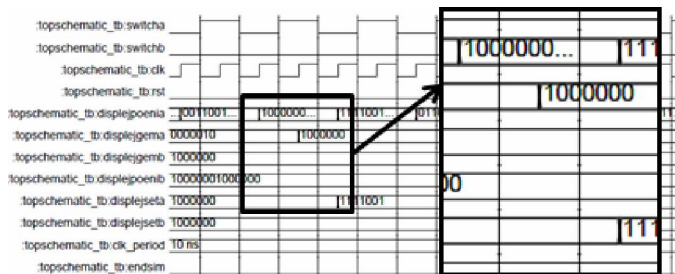
TABELA III

Tehnologija izrade	AMI05
Broj pinova	60
Broj veza	397
Broj instanci	365



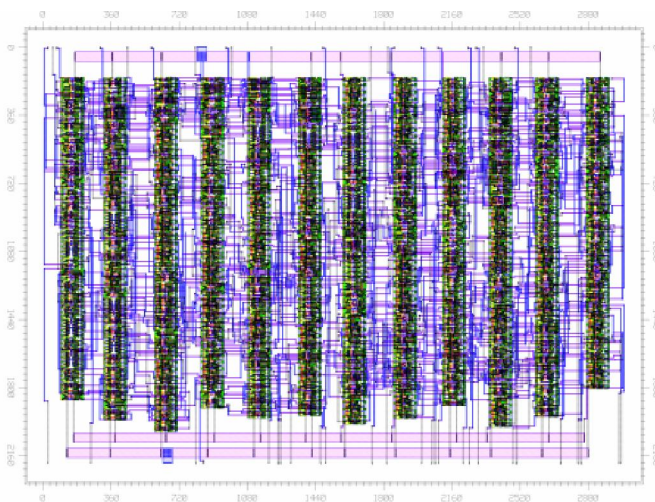


Sl. 5. Rezultati verifikacije sistema



Sl. 6. Verifikacija sistema nakon sinteze

Ceo sistem želimo da uradimo u obliku makročelije. Zato, najpre definišemo njene okvirne dimenzije i odnos visine i širine ćelije. Kompletно fizičko projektovanje urađeno je automatski pomoću alata IC Station [7]. Dobijen leajut prikazan je na Sl. 7. Njegova površina iznosi 6,22 mm<sup>2</sup>.



Sl. 7. Layout sistema

### C. SASIC realizacija

Postupak sinteze SASIC kola značajno se razlikuje od realizacije zasnovane na ASIC tehnologijama projektovanja. SASIC je unapred projektovano, testirano i proizvedeno integrisano kolo. Značajna prednost SASIC tehnologije projektovanja uz primenu FPGA predstavlja mogućnost reprogramiranja čipa i mogućnost bezbednog korigovanja eventualnih grešaka.

U ovom radu za ilustraciju primene SASIC stila projektovanja koristili smo FPGA čip EP2C35F672C6 koji pripada familiji Cyclone II proizvođača Altera. FPGA se

sastoji od dvodimenzionalnog polja logičkih blokova koji su međusobno povezani programabilnim vezama [4]. Logički blokovi služe za realizaciju logičkih funkcija, dok programabilne veze omogućavaju povezivanje logičkih blokova u cilju kreiranja složenijih funkcija. Za realizaciju logičke funkcije u FPGA tehnologiji potrebno je prvo prevesti logičku funkciju u oblik tabele istinitosti. Nakon toga, upisuje se sadržaj vektora u niz SRAM ćelija [4]. Ulaznim promenljivama upravlja se multiplekserom kojim se vrednost zapamćena u odgovarajućoj ćeliji propušta na izlaz. Generator funkcije realizovan na bazi SRAM-a je poznat pod nazivom LUT (Look Up Table) [6]. Ovim pristupom dobija se da je kašnjenje svake funkcije koja staje u jedan LUT podjednako, bez obzira na kompleksnost funkcije.

Za opis sistema na funkcionalnom nivou korišćen je isti VHDL kôd kao i kod ASIC stila projektovanja. Verifikacija realizacije na bazi SASIC kola moguća je direktno programiranjem čipa. Nakon učitavanja VHDL kôda u Quartus II alat, može se preći na sintezu kola. Kao i u slučaju projektovanja ASIC kola prilikom sinteze podešavaju se određeni parametri za optimizaciju. Razvojna okruženja nude podešavanje kojim korisnik bira optimizaciju po kašnjenju, po resursima ili balansiranje oba navedena kriterijuma. U slučaju optimizacije po kašnjenju, cilj sinteze je da kašnjenje na najdužem putu u kolu između dva međusobno povezana registra ili registra i pina FPGA čipa bude minimizovano. U slučaju optimizacije po površini cilj sinteze je da kolo zauzima što manje resursa. Rezultati sinteze prikazani su u Tabeli IV. Tabela V prikazuje vrednosti koje odgovaraju broju kombinacionih funkcija u sistemu.

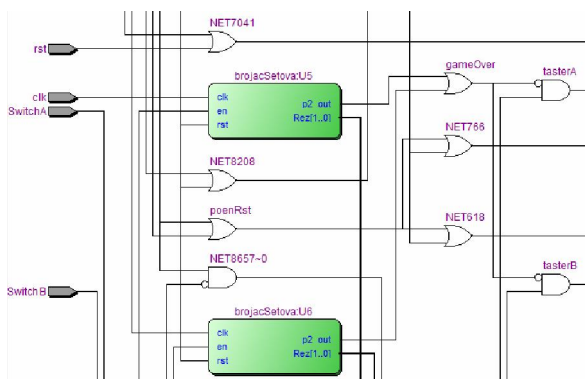
TABELA IV

Familija	Cyclone II
Broj pinova	60
Broj registara	32
Kombinacione funkcije	169

TABELA V

LUT ulazi	169
4-ulazne funkcije	93
3-ulazne funkcije	57
2-ulazne funkcije	19

Na Sl. 8. prikazan je jedan deo šeme dobijene nakon procesa sinteze.

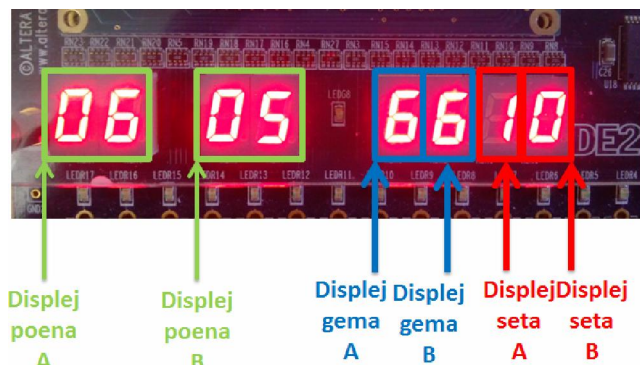


Sl. 8. Deo šeme dobijene nakon procesa sinteze na Cyclone II FPGA

Nakon uspešne sinteze prelazi se na fazu razmeštaja pri kojoj se raspoređuje elementi kola dobijeni procesom sinteze na CLB blokove i/ili posebne interne delove (množači, PLL-ovi, interne memorije) FPGA čipa. U procesu povezivanja dodeljuju se interne magistrale FPGA čipa pojedinim vezama tako da se ostvare što manja kašnjenja. Po završetku tog zadatka može se pristupiti programiranju datog čipa. U ovom koraku dostupne su informacije o zauzetosti čipa koji su prikazani u Tabeli VI.

TABELA VI

Čip	EP2C35F672C6
Broj pinova	60/475 (13%)
Broj registara	32/33216 (<1%)
Broj logičkih elemenata	170/33216 (<1%)
Broj kombinacionih funkcija	169/33126(<1%)



Sl. 9. Prikaz rada sistema

Nakon razmeštanja i povezivanja sledi proces generisanja konfiguracionog fajla FPGA kojim se programira željena funkcija. Potrebno je verifikovati dinamičke parametre konfiguracionog fajla simulacijom. Razlika u odnosu na funkcionalnu simulaciju je što sada postoji informacija o realnim kašnjenjima na vezama. Na kraju, neophodno je i programirati FPGA čip. Kod FPGA se najčešće koristi tehnika programiranja bazirana na SRAM ćelijama, što znači da se

konfiguracija FPGA čuva eksterno. FPGA se može programirati kada je montiran na štampanoj ploči koja sadrži i PROM ili fleš memoriju iz koje će, po dobijanju napajanja ili na zahtev, u čip učitati odgovarajući program koji definiše željenu konfiguraciju. Za verifikaciju rada kola u realnom vremenu korišćena je Alterina DE2 ploča sa Sl. 9.

## V. ZAKLJUČAK

Opisan je postupak projektovanja kontrolne logike za praćenje i prikaz rezultata teniskog meča i to primenom ASIC i SASIC tehnologija. Ukazano je na razlike u sintezi koje su karakteristične za svaki od navedenih stilova projektovanja. Imajući u vidu veličinu potrebe lokalnog tržišta koje, po našoj proceni ne premašuje 100, opravdana bi bila primena SASIC tehnologije. Naime, troškovi izrade prototipa za ASIC u AMI05 CMOS tehnologiji za površinu od 6,22mm<sup>2</sup> iznose oko 4000EUR, tako da bi oni opteretili cenu jednog čipa sa oko 50EUR, bez ostalih troškova. (Cena jednog FPGA kreće se oko 100EUR). Međutim, već za regionalno tržište procenjeno na 1000 komada isplativa bi bila primena ASIC stila projektovanja.

## ZAHVALNICA

Rad predstavlja deo diplomskog rada prvog autora. Prikazani rezultati ostvareni su u okviru projekta TR 32004 čiju realizaciju finansira Ministarstvo prosvete, nauke i tehnološkog razvoja Republike Srbije.

## LITERATURA

- [1] Dr Predrag P. Petković, „Projektovanje CMOS integrisanih kola sa mešovitim signalim”, Elektronski fakultet u Nišu, Niš, 2009.
- [2] P. M. Petković, M. Milić, D. Mirković, „VHDL i VHDL-AMS podrška projektovanju elektronskih kola i sistema”, Elektronski fakultet u Nišu, 2009.
- [3] D. Mirković, „Mentor Graphics ic flow za projektovanje integrisanih kola na bazi standardnih ćelija”, Elektronski fakultet u Nišu, 2012.
- [4] Dr G. Lj. Đorđević, „Arhitekture mikrosistema”, Elektronski fakultet u Nišu, 2010.
- [5] V. Petrović, „Primena ASIC Design Kit alata za projektovanje integrisanih kola metodom standardne ćelije”, Diplomski rad, Niš, 2006.
- [6] I. Stojanović, „Projektovanje ASIC kolaza testiranje VGA displeja zasnovanog na korišćenju standardnih ćelija u thnologiji AMI05”, Niš, 2013.
- [7] „Designing ASICs with the ADK Design Kit and Mentor Graphics Tools”, User , Manual for ADK Design Kit Version 1.6., Mentor Graphics 2005.

## ABSTRACT

This paper presents one original solution of control logic for scoreboard in tennis match. It is aimed to simplify the process of recording points. The judge is supposed to use only two control buttons or a joystick to assign a point for a contestant. The proposed system takes care of all other data processing. The system is designed in ASIC and SASIC technology and realized on FPGA type EP2C35F672C6 from Cyclone II Altera's family.

## Control logic in the scoreboard for tennis

Sandra Ilijin, Predrag Petković